



特 許 願 (1)
(2,000円)

昭和48年10月30日

特許庁長官 齋藤 英雄 殿

1. 発明の名称 制御タイミング信号発生方式
2. 発明者 小田嶋 孝 氏
住所 東京都港区芝平町1-10番地
氏名 神電機工業株式会社
3. 特許出願人 小田嶋 孝 氏
住所 東京都港区芝平町1-10番地
氏名 (089) 神電機工業株式会社
取締役社長 山本 正 明
4. 代理人 甲 105
住所 東京都港区芝平町1丁目1番地
氏名 TEL 05 (451) 2545
(5221) 弁護士 中央 道 (外2名)
5. 添付書類の目録
(1) 明細書 1 通式 (特許)
(2) 図面 1 通表
(3) 願書副本 1 通
(4) 委任状 1 通

明 細 書

1. 発明の名称 制御タイミング信号発生方式

2. 特許請求の範囲

メモリとカウンタとを備え、所望の制御タイミング信号波形を一定時間間隔で分割し、各分割された区間の信号レベルを所定の順序に従って前記メモリに書き込み、その内容を前記カウンタによつて順次循環的に読み出すようにすることを特徴とする制御タイミング信号発生方式。

3. 発明の詳細な説明

本発明は回路構成が簡単でしかも多種類の複雑な制御タイミング信号を発生させ得る制御タイミング信号発生方式に関する。

従来公知の制御タイミング信号発生装置はフリップフロップ、ゲート類で構成され多種類の複雑なタイミングを発生させるには、フリップフロップ、ゲート類の組み合わせが複雑になり回路設計に

多大の時間が消費されることがある。

以下簡単な例をあけて従来の構成方法による制御タイミング信号発生装置について説明する。第1図に示すようにクロックパルス ϕ に同期した制御タイミング信号A, B, C, Dを発生させる装置を一例として考える。第1図に示すH, LはそれぞれパルスのHIGHレベル, LOWレベルを示す。

第2図は第1図に示す制御タイミング信号A, B, C, Dを一定間隔で分割し、各分割された信号レベルを表にしたもので、例えば第1図において区間0では制御タイミング信号A, B, C, DはそれぞれL, L, L, Lであり以下同様にして区間1, 2, 3, 4においてそれぞれのパルスのレベルを眺めると第1図より第2図が容易に得られる。第1図あるいは第2図で示されるような制御タイミング信号A, B, C, Dを発生させる装置の一例として第4図に示されるような回路構成が考え

① 日本国特許庁

公開特許公報

① 特開昭 50-72549

④ 公開日 昭50.(1975) 6.16

② 特願昭 48-121410

② 出願日 昭48.(1973) 10.29

審査請求 未請求 (全3頁)

庁内整理番号

6341 56

7376 53

⑤ 日本分類

97(7)F01

98(5)C15

⑤ Int.Cl²

G06F 1/04

H03K 5/00

(5)

られる。第4図において1, 2, 3, 4, 5はそれぞれJ-Kフリップフロップ、6, 7, 8はそれぞれNANDゲート、9はインバータである。端子14は第1図におけるクロックパルス O_p が入力される入力端子であり、出力端子10, 11, 12, 13には第1図で示される制御タイミング信号A, B, C, Dがそれぞれあらわれる。而して第1図または第2図に示す制御タイミング信号よりかかる信号を発生させるための第4図に示すような装置を想起するにはかなりの時間の論理的思考過程をふむ必要がある。このような例にかぎらず一般的に制御タイミング信号を第1図のようなタイムチャートより第4図のような従来の回路構成による装置を機械的に容易に導き出すにはかなり困難であり設計に要する時間が長くなりまた第4図のような装置であると例の異なつた制御タイミング信号をも必要な場合には容易に切り換えてできない欠点がある。

る。そうしてリードオンリメモリまたはランダムアクセスメモリ15の0番地から4番地までにそれぞれ第2図で示される内容を書き込む。第2図は前述したように第1図のタイムチャートより容易に得られる。すなわちリードオンリメモリまたはランダムアクセスメモリ15の0番地には図2に示すように4ビット使つてレベルL, L, L, Lを書き込む。2番地にはレベルH, L, L, Lを書き込む。以下同様にして最後の4番地迄書き込む。端子20にクロックパルス O_p が1パルス入力されると5進カウンタの内容が1だけ増加しリードオンリメモリまたはランダムアクセスメモリ15内の次の番地の内容が読み出されて出力端子21, 22, 23, 24にあらわれる。以下同様にしてクロックパルス O_p が1パルス入るたびにリードオンリメモリまたはランダムアクセスメモリ15の読み出し番地が1番地づつ増加し更

あつた。

本発明は複雑な制御タイミング信号を発生させる装置を設計する場合に論理的思考過程があまり必要でなく機械的に短時間で設計でき、しかも回路構成が非常に簡単であると共に、制御タイミング信号の切り換えも容易にできる制御タイミング信号発生方式の提供を目的とするもので、以下図面について詳細説明する。

第3図は第1図に示されるような制御タイミング信号A, B, C, Dをクロックパルス O_p に同期して発生させたい場合の本発明の実施例である。15はリードオンリメモリ(ROM)またはランダムアクセスメモリ(RAM)でメモリの構成はこの例では4ビット×5ワードである。16は5進カウンタでその出力は接続線17, 18, 19によつてリードオンリメモリまたはランダムアクセスメモリ15の読み出し番地に接続されてい

新される。カウンタ16は5進カウンタになつていたのでメモリの内容が循環的に読み出され端子21には制御タイミング信号A, 端子22にはB, 端子23にはC, 端子24にはDがそれぞれあらわれるのである。

以上説明したようにこの発明に係る制御タイミング発生方式によれば基本的にはカウンタとメモリで構成されているので回路構成が簡単になりメモリ内に制御タイミング信号を書き込みそれを循環的に読み出して制御タイミング信号を発生させるのでメモリのワード数、ビット数を増加させれば多様な複雑な制御タイミング信号を発生させる装置を短時間で設計できると共に、メモリの内容を書き換えるか別の内容を書き込んだメモリに切り換えれば容易に制御タイミング信号を切り換えることができる等の効果がある。

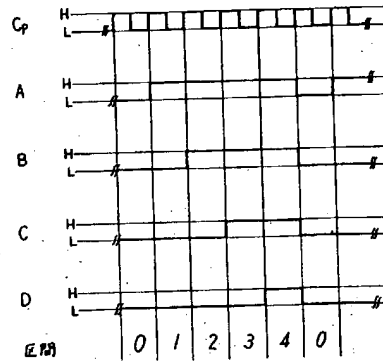
特開昭50-72549(2)

4. 図面の簡単な説明

図面はこの発明の一実施例を示すもので、第1図はクロックパルス C_p に同期した4種類の制御タイミング信号 A, B, C, D を示すタイムチャート、第2図は第1図に示すタイムチャートを表に書き換えたものであり、第3図は本発明による第1図のタイムチャートに対応する制御タイミング信号発生装置を示すブロックダイアグラム、第4図は従来の構成方法による制御タイミング信号発生装置を示すブロックダイアグラムである。

- 15 ランダムアクセスメモリ
- 16 5進カウンタ
- 17, 18, 19 接 続 線
- 20 端 子
- 21, 22, 23, 24 出 力 端 子

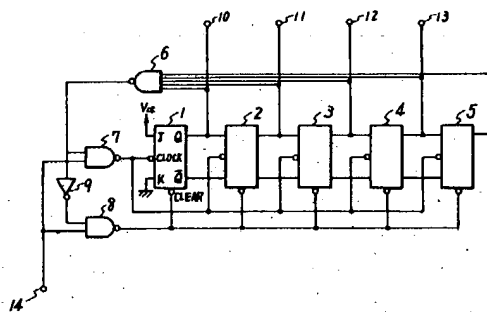
第1図



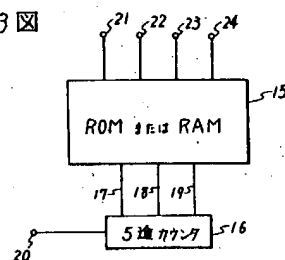
第2図

制御タイミング 区間	A	B	C	D
0	L	L	L	L
1	H	L	L	L
2	H	H	L	L
3	H	H	H	L
4	H	H	H	H

第4図



第3図



6 前記以外の代理人

住 所 東京都武蔵野市吉祥寺南町3丁目30番1号

氏 名 (7149) 弁理士 山 戸 利 生

住 所 東京都港区芝愛宕町1丁目16番地

氏 名 (6998) 弁理士 宮 田 精 孝

BEST AVAILABLE COPY